

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297936

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 27/04
21/822
21/06
21/8232
H 0 3 F 1/52

H 0 1 L 27/04 A
H 0 3 F 1/52 B
H 0 1 L 27/06 F

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平10-101153

(22) 出願日 平成10年(1998) 4月13日

(71) 出願人 000006231

株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(72) 発明者 家木 勉
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 平野 康彦
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 岡本 恵和
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

最終頁に続く

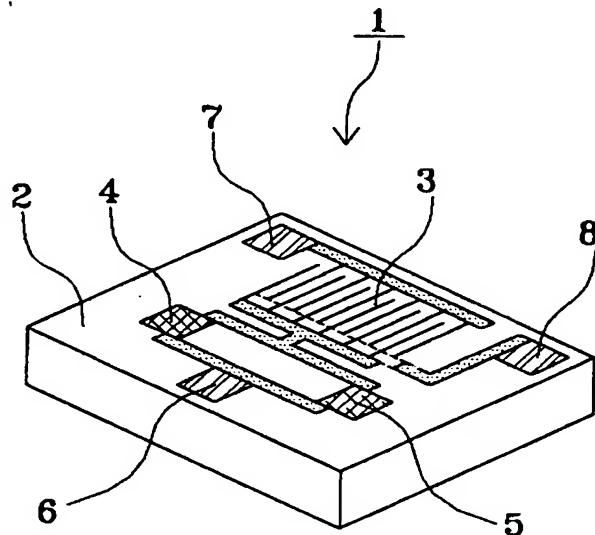
(54) 【発明の名称】 FETおよびICおよびそれらを用いた電子装置

(57) 【要約】

【課題】 静電耐圧を向上させたFETおよびICおよびそれらを用いた電子装置を提供する。

【解決手段】 半導体基板2上に、FET能動領域3、抵抗素子4、容量素子5、ボンディングパッド6、7、8を形成して1つのベアチップFETとして構成する。このうち、抵抗素子4と容量素子5は並列に接続し、その一端はFET能動領域3のゲートに接続され、他端はボンディングパッド6に接続する。また、FET能動領域3のドレインはボンディングパッド7に、ソースはボンディングパッド8にそれぞれ接続する。

【効果】 高周波特性を劣化させずに静電耐圧を向上させることができる。



【特許請求の範囲】

【請求項 1】 半導体基板上に FET 能動領域と抵抗素子と容量素子を形成し、前記抵抗素子と前記容量素子は並列接続され、該並列接続された抵抗素子と容量素子の一端を前記 FET 能動領域のゲートに接続してなることを特徴とする FET。

【請求項 2】 前記半導体基板上に、前記並列接続された抵抗素子と容量素子の他端、および前記 FET 能動領域のドレイン、ソースにそれぞれ接続してボンディングパッドを形成したことを特徴とする、請求項 1 に記載の FET。

【請求項 3】 半導体基板上に FET 能動領域と抵抗素子と容量素子とその他の回路素子を形成し、前記抵抗素子と前記容量素子は並列接続され、該並列接続された抵抗素子と容量素子の一端を前記 FET 能動領域のゲートに接続してなることを特徴とする IC。

【請求項 4】 請求項 1 または 2 に記載の FET を用いて構成したことを特徴とする電子装置。

【請求項 5】 請求項 3 に記載の IC を用いて構成したことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は FET および IC およびそれらを用いた電子装置、特に高周波回路に用いられる FET および IC およびそれらを用いた電子装置に関する。

【0002】

【従来の技術】近年のデジタル機器や通信機器の高周波化にともなって、回路内で使用される FET においては高周波動作のためにゲート電極を細くする方向に進んできているが、ゲート電極を細くすると静電気に対して弱くなって耐圧が低くなるという問題がある。

【0003】これに対して、従来は、たとえば図 7 に示す C-MOS 型インバータ回路 30 のような構成で静電耐圧を向上させている。すなわち、C-MOS 型インバータ回路 30 においては、N 型の FET 31 のドレインが電源 36 に接続され、P 型の FET 32 のソースがグラウンドに接続されて接地されている。FET 31 のソースは FET 32 のドレインに接続されるとともに出力端子 38 に接続され、FET 31、32 のゲートは互いに接続されるとともに抵抗 33 を介して入力端子 37 に接続されている。さらに入力端子 37 と電源 36 およびグラウンドの間にダイオード 34、35 がそれぞれ設けられている。

【0004】このように構成されたインバータ回路 30 において、入力端子 37 に印加された静電気はダイオード 34 またはダイオード 35 によって電源 36 やグラウンドに逃がされるとともに、抵抗 33 によって FET 31、32 のゲートに印加される電圧を下げている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の静電気対策においては、並列に設けられたダイオードや直列に設けられた抵抗によって FET の高周波特性が劣化するという問題があった。そこで、あえて FET 側では静電気対策を行わずに、それを扱う側、すなわち回路を組み立てる側において静電気対策を行うということが一般的であった。そのため、組み立て側の静電気対策にコストがかかったり、また不十分な静電気対策のために組み立て時に静電気によって FET が破損するという問題があった。

【0006】本発明は上記の問題点を解決することを目的とするもので、静電耐圧を向上させた FET および IC およびそれらを用いた電子装置を提供する。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の FET は、半導体基板上に FET 能動領域と抵抗素子と容量素子を形成し、前記抵抗素子と前記容量素子は並列接続され、該並列接続された抵抗素子と容量素子の一端を前記 FET 能動領域のゲートに接続してなることを特徴とする FET。

【0008】また、本発明の FET は、前記半導体基板上に、前記並列接続された抵抗素子と容量素子の他端、および前記 FET 能動領域のドレイン、ソースにそれぞれ接続してボンディングパッドを形成したことを特徴とする。

【0009】また、本発明の IC は、半導体基板上に FET 能動領域と抵抗素子と容量素子とその他の回路素子を形成し、前記抵抗素子と前記容量素子は並列接続され、該並列接続された抵抗素子と容量素子の一端を前記 FET 能動領域のゲートに接続してなることを特徴とする。また、本発明の電子装置は、上記の FET を用いて構成したことを特徴とする。

【0010】また、本発明の電子装置は、上記の IC を用いて構成したことを特徴とする。

【0011】このように構成することにより、本発明の FET あるいは IC においては、静電耐圧を向上させることができる。

【0012】また、本発明の電子装置においては、静電耐圧を向上させるとともにコストダウンを図ることができる。

【0013】

【発明の実施の形態】図 1 に、本発明の FET の一実施例を示す。図 1 において、FET 1 は半導体基板 2 上に、FET 能動領域 3、抵抗素子 4、容量素子 5、ボンディングパッド 6、7、8 を形成して 1 つのベアチップ FET として構成されている。このうち、抵抗素子 4 と容量素子 5 は並列に接続され、その一端は FET 能動領域 3 のゲートに接続され、他端はボンディングパッド 6 に接続されている。また、FET 能動領域 3 のドレインはボンディングパッド 7 に、ソースはボンディングパッ

ド 8 にそれぞれ接続されている。ここで、抵抗素子 4 の値は、FET 能動領域 3 のゲートソース間の抵抗値

(数 $M\Omega$) に比べて十分に小さい数 $k\Omega$ から数十 $k\Omega$ に設定する。また、容量素子 5 の値は、取り扱う高周波信号の周波数においてインピーダンスが小さくなるように、たとえば数 Ω になるように設定する。そのため、容量素子 5 は高周波信号の周波数が高くなるほど小さい容量値で済むことになる。また、このように構成された FET 1 の等価回路を図 2 に示す。なお、本願では、FET のうち、ボンディングパッドなどを除いた能動素子として機能する部分を FET 能動領域と定義する。

【0014】このように構成された FET 1 において、例えば抵抗素子 4 の抵抗値を $10k\Omega$ 、容量素子 5 の容量値を $10pF$ とし、取り扱う高周波信号の周波数を $5GHz$ と仮定する。この時、高周波信号における容量素子 5 のインピーダンスは約 3.2Ω で、FET 能動領域 3 のゲートソース間の抵抗に比べても、抵抗素子 4 の抵抗値に比べても十分低い値になる。そのためボンディングパッド 6 から入力された高周波信号は容量素子 5 を介してほとんど損失なく FET 能動領域 3 のゲートに入力され、従来のような高周波特性の劣化はほとんど無い。

【0015】ここで、たとえばボンディングパッド 6 と 8 の間に静電気が加わる場合を考える。静電気に限らず矩形波状の信号の立ち上がりにおいては複数の高周波成分を含んでいると考えられるが、瞬間的に印加される静電気の場合では高周波成分の最大周波数は数 kHz から高くても数 MHz 程度と考えられる。静電気の立ち上がり時の高周波成分の最大周波数を仮に $10MHz$ とした場合、その周波数における容量素子 5 のインピーダンスは約 $1.6k\Omega$ となり、それ以下の周波数に対してはさらに大きな値になる。そのため、ボンディングパッド 6 と 8 の間に加わった静電気は FET 能動領域 3 のゲートソース間の抵抗と抵抗素子 4 と容量素子 5 の並列接続による抵抗とによって分圧され、FET 能動領域 3 のゲートソース間に直接印加される電圧が緩和される。このようにして FET 1 の静電耐圧を向上させることができる。

【0016】図 3 に、本発明の IC の一実施例を示す。図 3 は、図 1 に示した FET 1 の FET 能動領域 3、抵抗素子 4、容量素子 5 を中心に構成したモノリシック IC である。

【0017】図 3 において、IC 10 は半導体基板 20 上に、FET 能動領域 3、抵抗素子 4、容量素子 5、そしてインダクタンス素子 11、容量素子 12、抵抗素子 13、容量素子 14、抵抗素子 15 の 5 つの回路素子、ボンディングパッド 16、17、18、接地電極 19 を形成して構成されている。このうち、ボンディングパッド 16 はインダクタンス素子 11 を介して FET 能動領域 3 のドレインに接続され、ボンディングパッド 18 は

容量素子 12 を介して FET 能動領域 3 のドレインに接続されている。また、FET 能動領域 3 のソースは抵抗素子 13 および容量素子 14 を並列に介して接地電極 19 に接続されている。そして、FET 1 と同様に抵抗素子 4 と容量素子 5 は並列に接続され、その一端は FET 能動領域 3 のゲートに接続され、他端はボンディングパッド 17 に接続されている。さらに、ボンディングパッド 17 は抵抗素子 15 を介して接地電極 19 に接続されている。

【0018】ここで、IC 10 の等価回路を図 4 に示す。図 4 より分かるように、IC 10 はボンディングパッド 17 を入力とし、ボンディングパッド 18 を出力とする増幅回路を構成している。

【0019】このように構成された IC 10 においても、FET 1 と全く同様に静電耐圧を向上させることができる。

【0020】なお、図 3 においては IC として増幅回路を構成したが、これは増幅回路に限るものではなく、ミキサ回路や発振回路などのアナログ回路であっても、あるいはデジタル回路であっても同様の作用効果を奏するものである。

【0021】図 5 に、本発明の電子装置の一実施例を示す。図 5 において、電子装置 21 は、セラミック基板 22 の表面に配線電極 (図示せず) を形成して、その上に本発明の FET 1 や積層チップコンデンサ 23 やチップコイル 24 などの個別部品を搭載し、入出力用の端子 25 を接続して構成している。そして、電子装置 21 は、複数の FET 1 や個別部品などによって多段の増幅器や発振器、ミキサ、変調器、あるいはそれらをまとめた周波数変換器などの高周波回路を実現している。

【0022】また、図 6 に、本発明の電子装置の別の実施例を示す。図 6 で、図 5 と同一もしくは同等の部分には同じ記号を付し、その説明は省略する。図 6 において、電子装置 26 のセラミック基板 22 の表面には FET 1 に代えて本発明の IC 10 が搭載されている。そして、電子装置 21 は、複数の IC 10 や個別部品などによって多段の増幅器や発振器、ミキサ、変調器、あるいはそれらをまとめた周波数変換器などの高周波回路を実現している。

【0023】図 5 および図 6 に示すように、本発明の FET 1 や IC 10 を用いて電子装置 21 や 26 を構成することによって、電子装置 21 や 26 自身の静電耐圧を向上させることができる。同時に、組み立て時に必要以上の静電気対策を取る必要が無くなるため、静電気対策のコストを削減でき、また、製造工程の簡素化によって製造コストを削減できる。さらには静電気による不良発生が少なくなることにより電子装置 21 や 26 のコストダウンを図ることができる。

【0024】なお、電子装置 21 や 26 は高周波回路に限るものではなく、デジタル回路であっても同様の作用

効果を奏するものである。

【0025】

【発明の効果】本発明のFETによれば、半導体基板上にFET能動領域と抵抗素子と容量素子を形成し、抵抗素子と容量素子を並列接続して、その一端をFET能動領域のゲートに接続して構成することによって、高周波特性を劣化させることなく静電耐圧を向上させることができる。

【0026】また、本発明のICによれば、上記のFETを用いて構成することによって、高周波特性を劣化さ

【0027】また、本発明の電子装置によれば、上記のFETやICを用いて構成することによって、静電耐圧の向上と、それにともなう静電気対策、製造に関するコストダウンを図ることができる。

【図面の簡単な説明】

【図1】本発明のFETの一実施例を示す斜視図である。

【図2】図1のFETの等価回路図である。

【図3】本発明のICの一実施例を示す斜視図である。

【図4】図3のICの等価回路図である。

* 20

* 【図5】本発明の電子装置の一実施例を示す斜視図である。

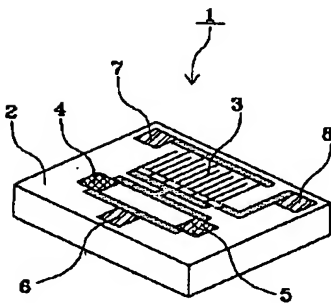
【図6】本発明の電子装置の別の実施例を示す斜視図である。

【図7】従来のFETの静電気対策構造を示す等価回路図である。

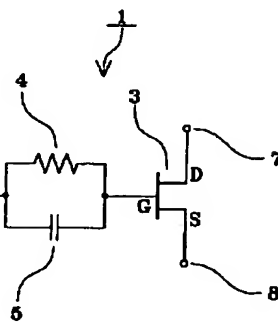
【符号の説明】

- 1…FET
- 2、20…半導体基板
- 3…FET能動領域
- 4、13、15…抵抗素子
- 5、12、14…容量素子
- 6、7、8…ボンディングパッド
- 10…IC
- 11…インダクタンス素子
- 21、26…電子装置
- 22…セラミック基板
- 23…積層チップコンデンサ
- 24…チップコイル
- 25…端子

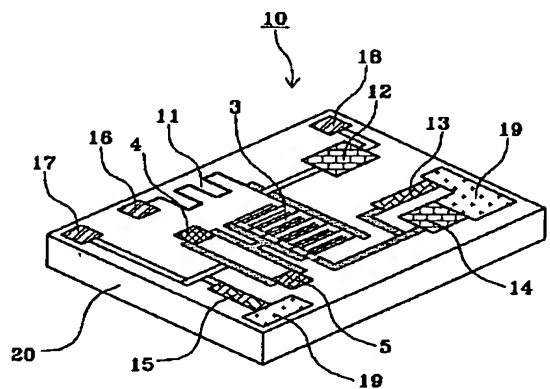
【図1】



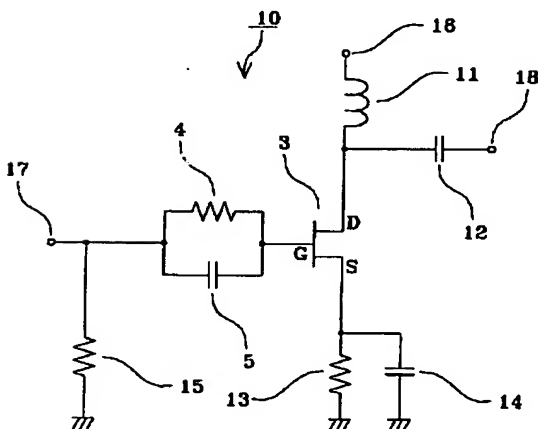
【図2】



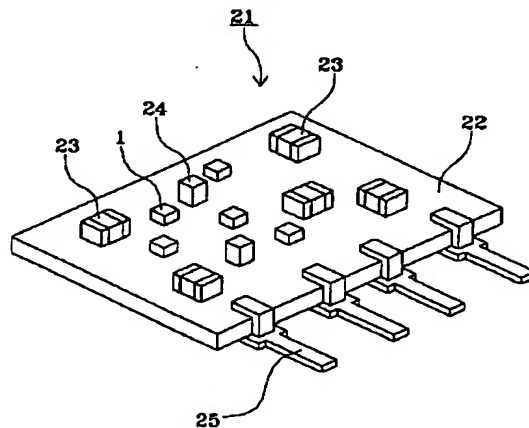
【図3】



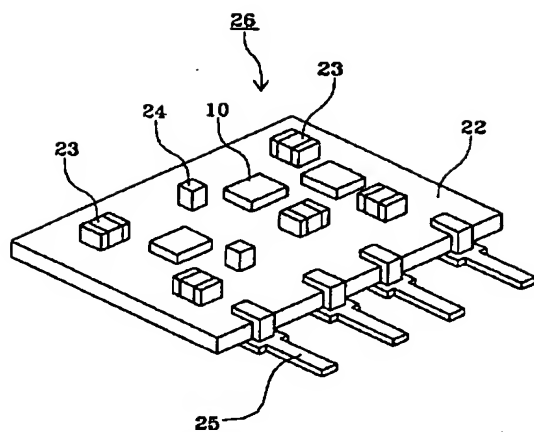
【図4】



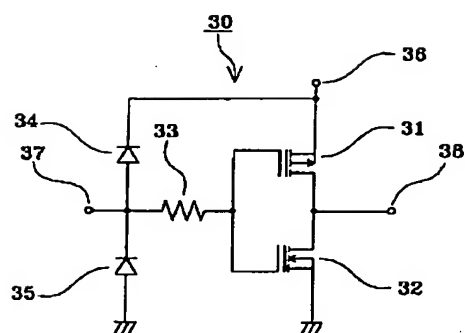
【図5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 田中 裕明
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内